

Ćwiczenie 4

Układy scalone cyfrowe CMOS

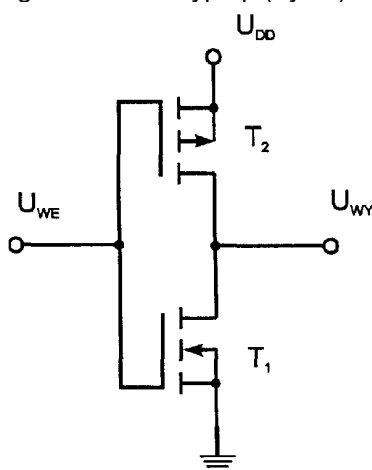
1. Cel ćwiczenia

Celem ćwiczenia jest poznanie charakterystyk statycznych układów scalonych CMOS oraz ich własności dynamicznych podczas procesu przełączania.

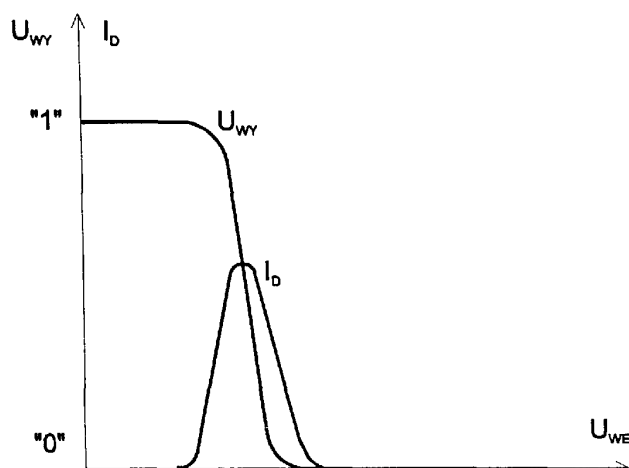
2. Wiadomości podstawowe.

2.1. Budowa i działanie podstawowego elementu logicznego CMOS.

Prostsza technologia, większa gęstość upakowania, mniejsze straty, duża rezystancja wejściowa i sterowanie napięciowe spowodowały rozwój układów cyfrowych scalonych wykorzystujących tranzystory polowe z izolowaną bramką. Stosowane są głównie tranzystory z kanałem wzbogacanym typu n i p, ze względu na próg charakterystyki umożliwiający zatkanie tranzystora MOS przy zerowym napięciu bramka-źródło. Podstawową częścią składową elementów logicznych typu CMOS jest układ inwertera zbudowany z dwóch tranzystorów komplementarnych, tj. jednego z kanałem typu n, drugiego z kanałem typu p. (rys.1).



Rys. 1. Podstawowy układ inwertera komplementarnego



Rys. 2. Charakterystyki przejścia inwertera.

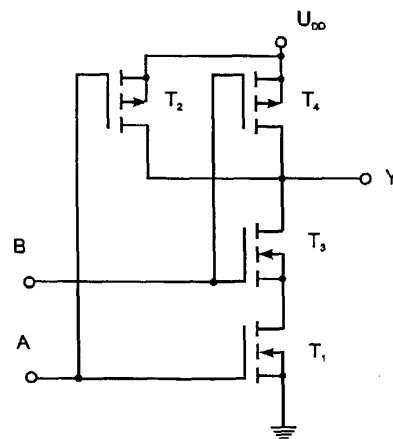
Na rys.2. pokazano charakterystyki przejścia inwertera. Gdy napięcie wejściowe jest równe napięciu zasilania $U_{we} = U_{dd}$, tranzystor T_1 przewodzi, a tranzystor T_2 znajduje się w stanie zatkania. Napięcie wyjściowe jest równe wówczas zero, czemu odpowiada stan logiczny „0”. Gdy napięcie wejściowe jest równe zero, tranzystor T_1 nie przewodzi, tranzystor T_2 znajduje się w stanie przewodzenia. Wówczas napięcie wyjściowe jest praktycznie równe napięciu zasilania, czemu odpowiada stan logiczny „1”. Moc pobierana przez układ w stanie statycznym jest znikomo mała, gdyż zawsze jeden z tranzystorów nie przewodzi. Zwiększony pobór prądu ze źródła zasilania występuje w czasie przełączania (rys.2.) i moc tracona zwiększa się proporcjonalnie do wzrostu częstotliwości pracy układu.

2.2. Bramka CMOS typu NAND.

Schemat bramki logicznej NAND przedstawiony jest na rys. 3. Do budowy bramki wykorzystano układy inwertera opisanego powyżej – T_1 - T_2 i T_3 - T_4 . Układ realizuje funkcję logiczną:

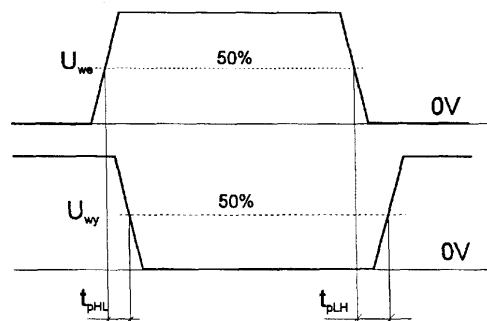
$$Y = \overline{AB}$$

Przy niskich potencjałach wejściowych przewodzą tranzystory górne z kanałem typu p i wyjście jest połączone ze źródłem zasilania. Zatkanie tych tranzystorów i połączenie wyjścia z masą układu następuje przy wysokim potencjale na wszystkich wejściach, gdy przewodzą tranzystory T_1 i T_3 .



Rys. 3. Dwuwejściowa bramka komplementarna NAND.

Zmiany stanów bramki są wywoływane przez zmiany napięć na wejściach i zachodzą w czasie zwanym czasem propagacji bramki. Podaje się czas propagacji dla zmiany napięcia wyjściowego z poziomu niskiego na wysoki t_{pLH} oraz czas propagacji dla zmiany napięcia wyjściowego z wysokiego na niski t_{pHL} . Rysunek 4 przedstawia interpretację czasów propagacji.



Rys.4. Uproszczony przebieg czasowy napięć w procesie przełączania.

Porównanie układów logicznych wykonanych w technice TTL i CMOS.

Typ	Zalety	Wady
TTL	duża szybkość przełączania, dużą obciążalność	złożony układ, średnia odporność na zakłócenia
CMOS	duża odporność na zakłócenia, b. mały pobór mocy, zunifikowanie elementów, dogodny do scalania w bardzo dużej skali	średnie szybkości przełączania

Podstawowe parametry elementów wykonanych w technice CMOS (typowe)

Prąd zasilania	Prąd wejściowy	Napięcie wyjściowe w stanie wysokim	Napięcie wyjściowe w stanie niskim	Prąd wyjściowy w stanie wysokim	Prąd wyjściowy w stanie niskim	Czas propagacji	Czas propagacji
$I_{DD}(\mu A)$	$I_I(\mu A)$	$U_{OH}(V)$	$U_{OL}(V)$	$I_{OH}(mA)$	$I_{OL}(mA)$	$t_{pLH}(ns)$	$t_{pHL}(ns)$
5	0,1	$U_{oD}-0,05$	0,05	6,8	6,8	45	45

3. Zakres ćwiczenia.

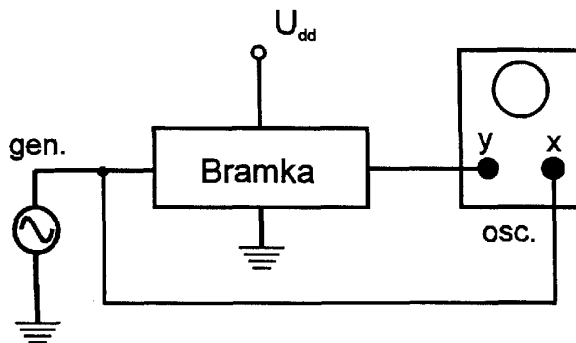
W ćwiczeniu badany jest inwerter buforowany oraz inwerter i bramka NAND (układ 74007).

- 3.1. Pomierzyć charakterystykę przejściową $U_{we} = f(U_{wy})$ metodą oscyloskopową i metodą punkt po punkcie.
- 3.2. Pomierzyć charakterystykę wyjściową $I_{wy} = f(U_{wy})$ w/w elementów.
- 3.3. Pomierzyć czasy propagacji bramek.

4. Przebieg ćwiczenia.

- 4.1. Pomiar charakterystyki przejściowej metodą oscyloskopową.

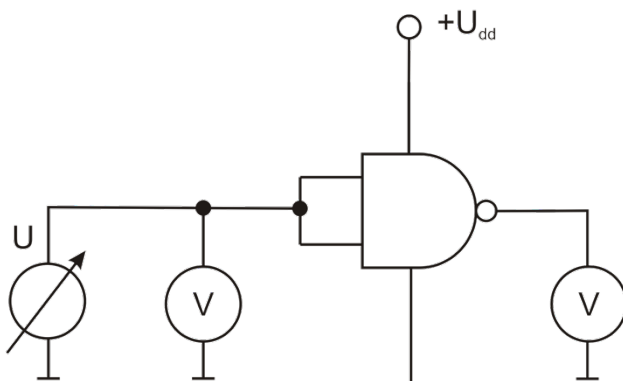
Układ pomiarowy przedstawiony jest na rys.5. Pomiar należy przeprowadzić dla napięcia zasilającego $U_{dd} = 5, 10, 15 V$. Bramkę NAND należy zbadać dla trzech sposobów podłączenia sygnałów wejściowych. Częstotliwość generatora ustawić na wartość ok. 200 Hz.



Rys.5. Układ do obserwacji charakterystyk przejściowych scalonych układów CMOS.

4.2. Pomiar charakterystyki przejściowej metodą punkt po punkcie.

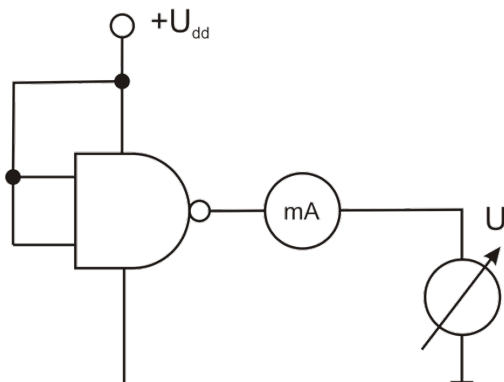
Układ pomiarowy przedstawiony jest na rys.6. Zakres pomiaru wyznacza osoba prowadząca zajęcia.



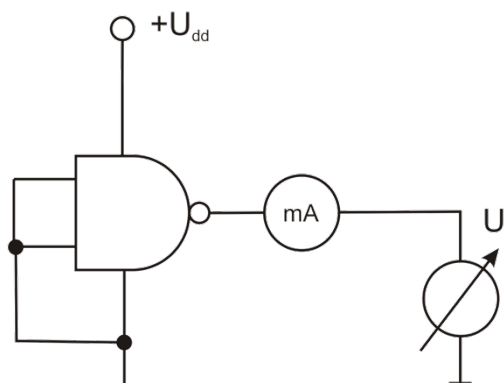
Rys.6. Układ do pomiaru charakterystyk przejściowych $U_{we} = f(U_{wy})$ scalonych układów CMOS.

4.3. Pomiar charakterystyk wyjściowych $I_{wy} = f(U_{wy})$.

Należy pomierzyć charakterystyki wyjściowe $I_{wy} = f(U_{wy})$ badanych elementów metodą „punkt po punkcie” przy napięciach zasilania $U_{dd} = 5\text{ V}$ i 10 V , w zakresie napięć $U_{wy} = (0-U_{dd})$ w stanie niskim na wyjściu (schemat układu pomiarowego przedstawiono na rys.7.) i w stanie wysokim na wyjściu (schemat układu pomiarowego przedstawiono na rys.8.).



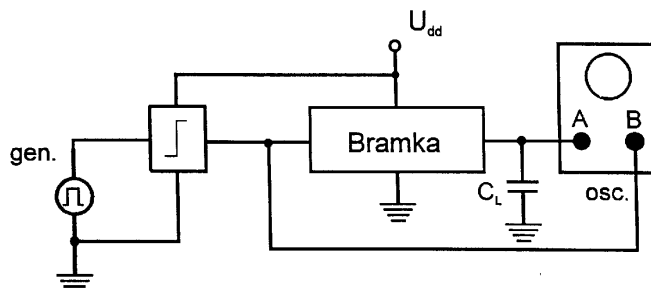
Rys. 7. Układ do pomiaru charakterystyki wyjściowej $I_{wy} = f(U_{wy})$ bramki w stanie niskiego napięcia na wyjściu.



Rys.8. Układ do pomiaru charakterystyki wyjściowej $I_{wy} = f(U_{wy})$ bramki w stanie wysokim napięcia na wyjściu.

4.4. Pomiar czasów propagacji.

Pomierzyć czasy propagacji badanych elementów przy napięciu zasilającym $U_{dd} = 5\text{ V}$ i 10 V . Schemat układu pomiarowego pokazany jest za rys.9. Częstotliwość generatora należy ustawić ok.500 kHz.



Rys.9. Układ do pomiaru parametrów dynamicznych bramki.

5. Opracowanie wyników.

5.1. Charakterystyki statyczne.

- wykreślić charakterystyki przejściowe $U_{wy} = f(U_{we})$ zaobserwowane na oscyloskopie,
- wykreślić charakterystyki przejściowe $U_{wy} = f(U_{we})$ pomierzone przy pomocy przyrządów,
- wykreślić charakterystyki wyjściowe $I_{wy} = f(U_{wy})$,
- podać impedancję statyczną i małosygnałową dla 30% U_{dd} (dla stanu niskiego napięcia na wyj.) oraz dla 70 % U_{dd} (dla stanu wysokiego napięcia na wyj.)

5.2. Parametry dynamiczne.

- podać pomierzone czasy propagacji t_{pHL} i t_{pLH} .

6. Wymagania.

- znajomość działania podstawowej bramki CMOS,
- definicja czasów propagacji t_{pHL} i t_{pLH} ,
- omówienie przebiegu charakterystyki przejściowej,
- omówienie przebiegu charakterystyki wyjściowej,
- podstawowe parametry charakteryzujące elementy układów CMOS.

7.Literatura.

[1] Z. Lisik, Podstawy fizyki półprzewodników, skrypt PŁ, 1994

[2] Z. Korzec, Tranzystory polowe. WNT, Warszawa 1973

[3] R.S.C. Cobbold, Teoria i zastosowanie tranzystorów polowych. WNT, Warszawa 1975